

384.047 Digitale Systeme Übung

Weiterführende Übungen 5

21. Taktfrequenz

Für Bauteile einer bestimmten Technologie gelten folgende Zeitspezifikationen:

NEGATION: Durchlaufzeit 0,3 ns

UND-, ODER-, NAND-, NOR-Gatter: Durchlaufzeit 0,5 ns

XOR-Gatter: Durchlaufzeit 0,8 ns

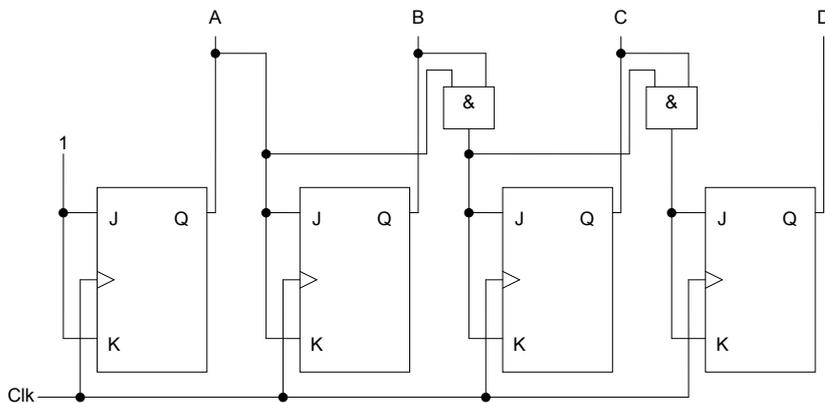
D-, JK-FLIP-FLOPS: Durchlaufzeit 2 ns

Vorbereitungszeit 0,4 ns

Haltezeit 0,1 ns

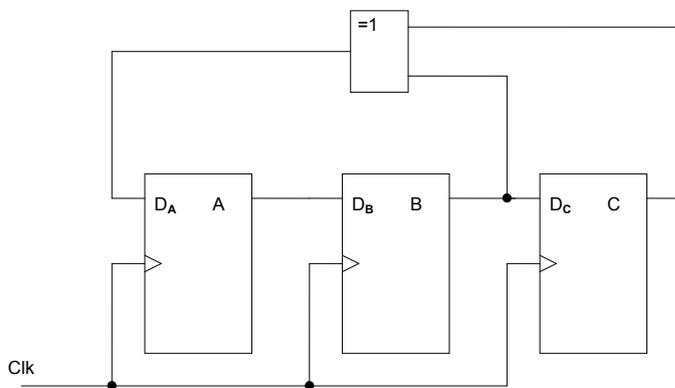
Maximale Taktfrequenz 1200 MHz

Synchronzähler mit JK-Flip-Flops



Im Vergleich zur Schaltung in Abb. 4-25 des Skriptums kommt die folgende Schaltung mit UND-Gattern mit nur zwei Eingängen aus. Berechnen Sie mit den angegebenen Zeitspezifikationen, mit welcher maximalen Taktfrequenz sich diese Zählschaltung betreiben lässt.

Mini-Zufallszahlengenerator (rückgekoppeltes Schieberegister)



Das rückgekoppelte Schieberegister soll sich im Anfangszustand $A=1, B=C=0$ befinden.

a) Schreiben Sie die Bitmuster auf, die sich in den Flip-Flops A, B und C mit den folgenden acht Taktflanken ergeben.

b) Mit welcher maximalen Taktfrequenz kann die Schaltung betrieben werden? (Legen Sie die oben angegebenen Zeitspezifikationen zu Grunde.)

22. Memory Decoder

An den MC8 sollen folgende Speicherbausteine angeschlossen werden:

1 ROM Baustein mit 8 KiB ab Adresse 0000h

Und weiters, beginnend mit der Adresse 2000h und lückenlos aufeinanderfolgend

2 RAM Bausteine mit 8 KiB (RAM0 und RAM1) und 4 RAM Bausteine mit 1 KiB (RAM2, RAM3, RAM4 und RAM5)

Verwenden Sie 3-zu-8 Decoder, um aus den Bits des Adressbusses diese einzelnen Speicherbausteine zu aktivieren. Geben Sie die Schaltung dieser Adressdecodierung an.

Wie viele 3-zu-8 Decoder benötigen Sie?

An welche Ausgänge der Decoder schalten Sie die Speicherbausteine?

Wie aktivieren Sie den zweiten Decoder?

In welchem Adressbereich hat die CPU RAM-Speicher zur Verfügung?