

384.047 Digitale Systeme Übung – Lösungen

Weiterführende Übungen 5

Maximale Taktfrequenz Synchronzähler

Minimale Taktperiode: Durchlaufzeit FF + 2mal Durchlaufzeit UND + Vorbereitungszeit FF =
 $2 \text{ ns} + 2 \text{ mal } 0,5 \text{ ns} + 0,4 \text{ ns} = 3,4 \text{ ns}$ Max. Taktfrequenz (MHz) = $1000/3,4 \text{ ns} = 294 \text{ MHz}$

Mini-Zufallszahlengenerator

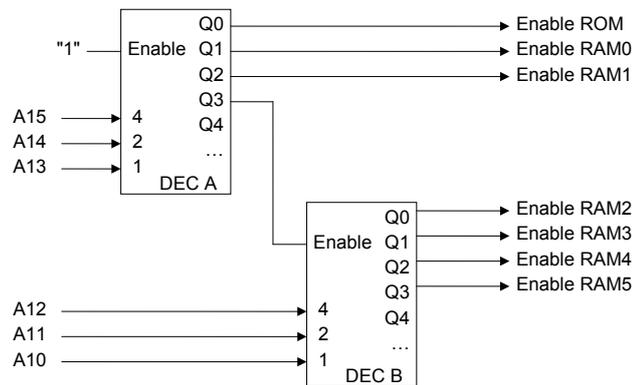
Abfolge A B C: 1 0 0
 0 1 0
 1 0 1
 1 1 0
 1 1 1
 0 1 1
 0 0 1
 1 0 0
 0 1 0

(Es werden alle Bitkombinationen außer 000 in unregelmäßiger Abfolge zyklisch durchlaufen)

Minimale Taktperiode: Durchlaufzeit FF + Durchlaufzeit XOR + Vorbereitungszeit FF =
 $2 \text{ ns} + 0,8 \text{ ns} + 0,4 \text{ ns} = 3,2 \text{ ns}$ Max. Taktfrequenz (MHz) = $1000/3,2 \text{ ns} = 313 \text{ MHz}$

Memory Decoder

- Schaltung:



- Es werden ZWEI 3-zu-8 Decoder gebraucht.
- Die Speicherbausteine werden wie folgt an die Decoder angeschlossen:
 - ROM: Q0 von DEC A
 - RAM0: Q1 von DEC A
 - RAM1: Q2 von DEC A
 - RAM2: Q0 von DEC B
 - RAM3: Q1 von DEC B
 - RAM4: Q2 von DEC B
 - RAM5: Q3 von DEC B
- Der zweite Decoder (DEC B) wird durch den Ausgang Q3 des ersten Decoders (DEC A) aktiviert.
- Die CPU hat RAM-Speicher im Adressbereich 2000h bis 6FFFh zur Verfügung.